

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

## PATENT ABSTRACTS OF JAPAN

A13

(11)Publication number : 05-028095

(43)Date of publication of application : 05.02.1993

(51)Int.Cl.

G06F 13/36

(21)Application number : 03-185964

(71)Applicant : NEC CORP

(22)Date of filing : 25.07.1991

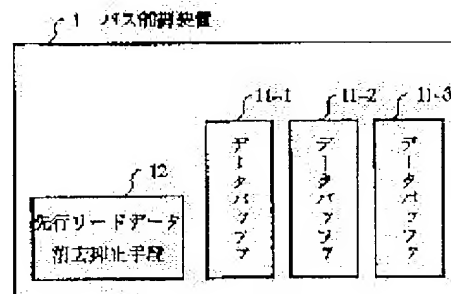
(72)Inventor : OISHI HIROMI  
SAITO TAKAHITO

## (54) BUS CONTROL SYSTEM

## (57)Abstract:

PURPOSE: To effectively use data read in advance and to swap pages in a virtual storage more quickly than the method which erases data read in advance by using a page memory read request command.

CONSTITUTION: Not only a memory read request command but also the page memory read request command which requests read of a main memory with one page as the unit is provided for a bus controller 1. When the page memory read request command is issued, an advance read data erase suppressing means 12 suppresses erase of data read to data buffers 11-1, 11-2, and 11-3 in advance by the bus controller 1.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-28095

(43)公開日 平成5年(1993)2月5日

(51)Int.Cl.<sup>5</sup>

G 0 6 F 13/36

識別記号

庁内整理番号

3 1 0 F 7052-5B

F I

技術表示箇所

審査請求 未請求 請求項の数 2(全 6 頁)

(21)出願番号 特願平3-185964

(22)出願日 平成3年(1991)7月25日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 大石 博見

東京都港区芝五丁目7番1号日本電気株式会社内

(72)発明者 齋藤 貴仁

東京都港区芝五丁目7番1号日本電気株式会社内

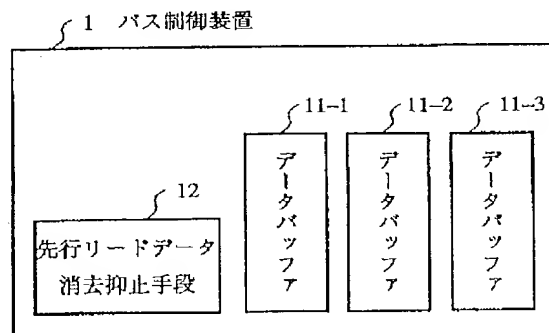
(74)代理人 弁理士 内原 晋

(54)【発明の名称】 バス制御方式

(57)【要約】

【構成】 バス制御装置1に対して、メモリリード要求コマンドの他に、ページ単位に主メモリ3を讀出すことを要求するページメモリリード要求コマンドを設ける。先行リードデータ消去抑止手段12は、そのページメモリリード要求コマンドが発行された場合に、バス制御装置1で、データバッファ11-1、11-2、11-3へ先行リードしたデータの消去を抑止する。

【効果】 ページメモリリード要求コマンドを利用することにより、先行リードを行ったデータを無駄なく使用することができるとともに、先行リードを行ったデータを消去していた場合に比べて、仮想記憶のページスワップなどを高速に行うことができる。



## 【特許請求の範囲】

【請求項1】 中央処理装置と、主メモリと、入出力制御装置と、複数のディスク制御装置と、前記ディスク制御装置に接続したディスク装置と、接続可能な前記ディスク制御装置のそれぞれに対応したダブルバッファ構成のデータバッファを持つバス制御装置と、前記中央処理装置、前記主メモリ、前記入出力制御装置を接続する第1の高速バスと、前記入出力制御装置、前記バス制御装置を接続する第2の高速バスと、前記入出力制御装置、前記バス制御装置を接続する入出力バスとを有する情報処理システムのバス制御方式において、

(A) メモリリード要求コマンドの他に、ページ単位に前記主メモリを讀出すことを要求するページメモリリード要求コマンドを設けるとともに、

(B) 前記ページメモリリード要求コマンドが発行された場合に、前記バス制御装置で、前記データバッファへ先行リードしたデータの消去を抑止する先行リードデータ消去抑止手段を設ける、

ことを特徴とするバス制御方式。

【請求項2】 中央処理装置と、主メモリと、入出力制御装置と、複数のディスク制御装置と、前記ディスク制御装置に接続したディスク装置と、接続可能な前記ディスク制御装置のそれぞれに対応したダブルバッファ構成のデータバッファを持つバス制御装置と、前記中央処理装置、前記主メモリ、前記入出力制御装置を接続する第1の高速バスと、前記入出力制御装置、前記バス制御装置を接続する第2の高速バスと、前記入出力制御装置、前記バス制御装置を接続する入出力バスとを有する情報処理システムのバス制御方式において、

(A) メモリリード要求コマンドの他に、ページ単位に前記主メモリを讀出すことを要求するページメモリリード要求コマンドを設けるとともに、

(B) 前記ページメモリリード要求コマンドが発行された場合に、前記バス制御装置で、前記データバッファへ先行リードしたデータの消去を抑止する先行リードデータ消去抑止手段を設け、

(C) さらに、前記ページメモリリード要求コマンドが発行された場合に、前記バス制御装置で、前記主メモリのアドレスをチェックすることにより、仮想記憶のメモリ管理単位であるページ容量を超えるデータのの前記データバッファへの先行リードを抑止する先行リード抑止手段を設ける、

ことを特徴とするバス制御方式。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明はバス制御方式に関し、特にバス制御装置で、ダブルバッファ構成のデータバッファを使用して、異なる転送速度を持つ高速バスと入出力バスとを接続する情報処理システムのバス制御方式に関する。

## 【0002】

【従来の技術】 図3は従来の情報処理システムのバス制御方式の一例を示すブロック図である。図3に示す情報処理システムは、中央処理装置2と、主メモリ3と、入出力制御装置4と、ディスク制御装置6-1、6-2、6-3と、ディスク装置8-1、8-2、8-3と、接続可能なディスク制御装置6-1、6-2、6-3のそれぞれに対応したダブルバッファ構成のデータバッファ11-1、11-2、11-3を持つバス制御装置1と、中央処理装置2、主メモリ3、入出力制御装置4を接続する高速バス5-1と、入出力制御装置4、バス制御装置1を接続する高速バス5-2と、入出力制御装置4、他の装置を接続する高速バス5-3と、バス制御装置1、ディスク制御装置6-1、6-2、6-3を接続する入出力バス7とを有している。

【0003】 この情報処理システムでは、中央処理装置2からディスク制御装置6-1、6-2、6-3へディスクリードコマンドやディスクライトコマンドを発行して、データのブロック転送を行っている。

【0004】 図4は図3のバス制御装置1に含むデータバッファ11-iの一例を示す図である。図4に示すように、バス制御装置1は、高速バス5-2と入出力バス7との転送速度の差を吸収するために、バッファ11-ia、11-ibによるダブルバッファ構成のデータバッファ11-iを並行して動作できるディスク制御装置6-1、6-2、6-3の台数分の数だけ有している。なお、データバッファ11-iの容量は、システムで規定されたブロック転送バイト数の2倍に設定されている。

【0005】 そして、ディスク装置8-kへのライト時には、メモリリード要求コマンドを発行し、ディスク装置8-kを接続したディスク制御装置6-iが、主メモリ3のリードを要求する。この要求は、バス制御装置1および入出力制御装置4を介して、主メモリ3に送られて、データの転送が行われる。

【0006】 そこで、データの転送で送られたデータは、入出力制御装置4を介してデータバッファ11-iのバッファ11-iaに格納され、バッファ11-iaから入出力バス7を介してディスク制御装置6-iへ転送される。この時に、次のアドレスからのデータを主メモリ3から讀出すために、高速バス5-1、5-2が高速であることを利用して、主メモリ3へ先行リードを要求し、送られてくるデータをバッファ11-ibに格納する。

【0007】 そして、入出力バス7で、バッファ11-iaに格納されたデータの転送が終了すると、ディスク制御装置6-iは、次のアドレスからのメモリリードを要求する。この時に、バス制御装置1は、バッファ11-ibに格納されているデータを直ちに転送する。ま

た、この間に、同様に、次の先行リードを要求し、バッファ11-i aにデータ格納する。このように、2個のバッファ11-i a、11-i bを使用して、交互に先行してメモリリードをすることにより、ディスク制御装置6-iの連続したメモリのリード要求に対して、バス制御装置1内のバッファ11-i a、11-i bよりデータを連続して送出することができるために、高速なデータ転送が可能となる。

【0008】

【発明が解決しようとする課題】上述した従来のバス制御方式は、ディスク制御装置6-iのメモリリードの後に、ディスク制御装置6-jがメモリリードを要求した場合、ディスク制御装置6-iのためのバッファ11-i bに先行して格納されているデータをメモリとバッファとの内容の一貫性を保つために消去しなければならず、先行リードしたデータとそのデータを転送するのに使用した高速バス5-1、5-2のサイクルが無駄になるという欠点を有している。なお、このような無駄が生じないように、ソフトウェアで管理する方法もあるが、そのときには、ソフトウェアの負担が重くなるという欠点を有している。

【0009】また、従来のバス制御方式は、ダブルバッファの片方のバッファへの先行リードを必ず行っているが、不必要なことも多く、無駄な先行リードが高速バスの負担を重くしているという欠点を有している。

【0010】

【課題を解決するための手段】第1の発明のバス制御方式は、中央処理装置と、主メモリと、入出力制御装置と、複数のディスク制御装置と、前記ディスク制御装置に接続したディスク装置と、接続可能な前記ディスク制御装置のそれぞれに対応したダブルバッファ構成のデータバッファを持つバス制御装置と、前記中央処理装置、前記主メモリ、前記入出力制御装置を接続する第1の高速バスと、前記入出力制御装置、前記バス制御装置を接続する第2の高速バスと、前記入出力制御装置、前記バス制御装置を接続する入出力バスとを有する情報処理システムのバス制御方式において、(A)メモリリード要求コマンドの他に、ページ単位に前記主メモリを讀出すことを要求するページメモリリード要求コマンドを設けるとともに、(B)前記ページメモリリード要求コマンドが発行された場合に、前記バス制御装置で、前記データバッファへ先行リードしたデータの消去を抑止する先行リードデータ消去抑止手段を設ける、ことにより構成されている。

【0011】また、第2の発明のバス制御方式は、中央処理装置と、主メモリと、入出力制御装置と、複数のディスク制御装置と、前記ディスク制御装置に接続したディスク装置と、接続可能な前記ディスク制御装置のそれぞれに対応したダブルバッファ構成のデータバッファを持つバス制御装置と、前記中央処理装置、前記主メモ

リ、前記入出力制御装置を接続する第1の高速バスと、前記入出力制御装置、前記バス制御装置を接続する第2の高速バスと、前記入出力制御装置、前記バス制御装置を接続する入出力バスとを有する情報処理システムのバス制御方式において、(A)メモリリード要求コマンドの他に、ページ単位に前記主メモリを讀出すことを要求するページメモリリード要求コマンドを設けるとともに、(B)前記ページメモリリード要求コマンドが発行された場合に、前記バス制御装置で、前記データバッファへ先行リードしたデータの消去を抑止する先行リードデータ消去抑止手段を設け、(C)さらに、前記ページメモリリード要求コマンドが発行された場合に、前記バス制御装置で、前記主メモリのアドレスをチェックすることにより、仮想記憶のメモリ管理単位であるページ容量を超えるデータのページメモリリード要求コマンドへの先行リードを抑止する先行リード抑止手段を設ける、ことにより構成されている。

【0012】

【実施例】次に、本発明の実施例について図面を参照して説明する。

【0013】図1は第1の発明のバス制御方式におけるバス制御装置の一実施例を示すブロック図である。第1の発明のバス制御方式は、メモリリード要求コマンドの他に、ページ単位に主メモリ3を讀出すことを要求するページメモリリード要求コマンドを設けるとともに、そのページメモリリード要求コマンドが発行された場合に、図1に示すように、バス制御装置1で、データバッファ11-1、11-2、11-3へ先行リードしたデータの消去を抑止する先行リードデータ消去抑止手段12を設けている。

【0014】そこで、先行リードデータ消去抑止手段12は、ページメモリリード要求コマンドが発行された場合には、ディスク制御装置6-iに対するブロック転送とブロック転送との間に、ディスク制御装置6-jに対するブロック転送が割込んだ場合でも、ディスク制御装置6-iのために、データバッファ11-1のバッファ11-i aまたはバッファ11-i bに先行リードを行ったデータを消去せずに、ディスク制御装置6-jに対するブロック転送が終了した後に、ディスク制御装置6-iに対して、データバッファ11-iから先行リードを行ったデータのデータ転送を行っている。

【0015】図2は第2の発明のバス制御方式におけるバス制御装置の一実施例を示すブロック図である。第2の発明のバス制御方式は、メモリリード要求コマンドの他に、ページ単位に主メモリ3を讀出すことを要求するページメモリリード要求コマンドを設けるとともに、そのページメモリリード要求コマンドが発行された場合に、図2に示すように、バス制御装置1で、データバッファ11-1、11-2、11-3へ先行リードしたデータの消去を抑止する先行リードデータ消去抑止手段1

2を設け、さらに、ページメモリリード要求コマンドが発行された場合に、バス制御装置1で、主メモリ3のアドレスをチェックすることにより、仮想記憶のメモリ管理単位であるページ容量を超えるデータのデータバッファ11-1、11-2、11-3への先行リードを抑止する先行リード抑止手段13を設けている。

【0016】そこで、先行リード抑止手段13は、データバッファ11-1、11-2、11-3に対する主メモリ3の読出し開始時から、そのアドレスをチェックし、それがページを超えると判断したときには、主メモリ3への先行リードの要求を出さずに、無駄なデータ転送を行わないように制御している。

【0017】

【発明の効果】以上説明したように、本発明のバス制御方式は、ページメモリリード要求コマンドを利用することにより、先行リードを行ったデータを無駄なく使用することができるとともに、先行リードを行ったデータを消去していた場合に比べて、仮想記憶のページスワップなどを高速に行うことができるという効果を有している。

【0018】また、第2の発明のバス制御方式は、ページ単位を超える先行リードを防ぐことにより、無駄なブロック転送を行わないで済むために、中央処理装置と主メモリとを接続している高速バスの負担を減らすことが\*

\*できるという効果を有している。

【図面の簡単な説明】

【図1】第1の発明のバス制御方式におけるバス制御装置の一実施例を示すブロック図である。

【図2】第2の発明のバス制御方式におけるバス制御装置の一実施例を示すブロック図である。

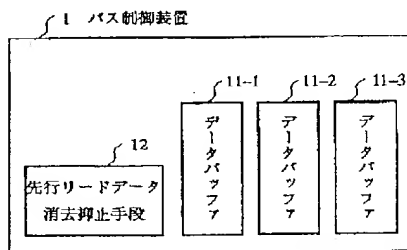
【図3】従来の情報処理システムのバス制御方式の一例を示すブロック図である。

【図4】図3のバス制御装置1に含むデータバッファ11-iの一例を示す図である。

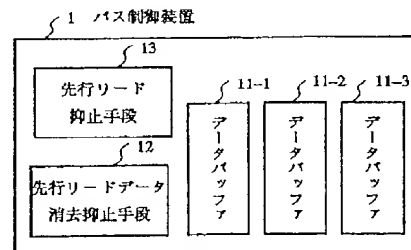
【符号の説明】

- 1 バス制御装置
- 2 中央処理装置
- 3 主メモリ
- 4 入出力制御装置
- 5-1, 5-2, 5-3 高速バス
- 6-1, 6-2, 6-3 ディスク制御装置
- 7 入出力バス
- 8-1, 8-2, 8-3 ディスク装置
- 11-1, 11-2, 11-3, 11-i データバッファ
- 11-ia, 11-ib バッファ
- 12 先行リードデータ消去抑止手段
- 13 先行リード抑止手段

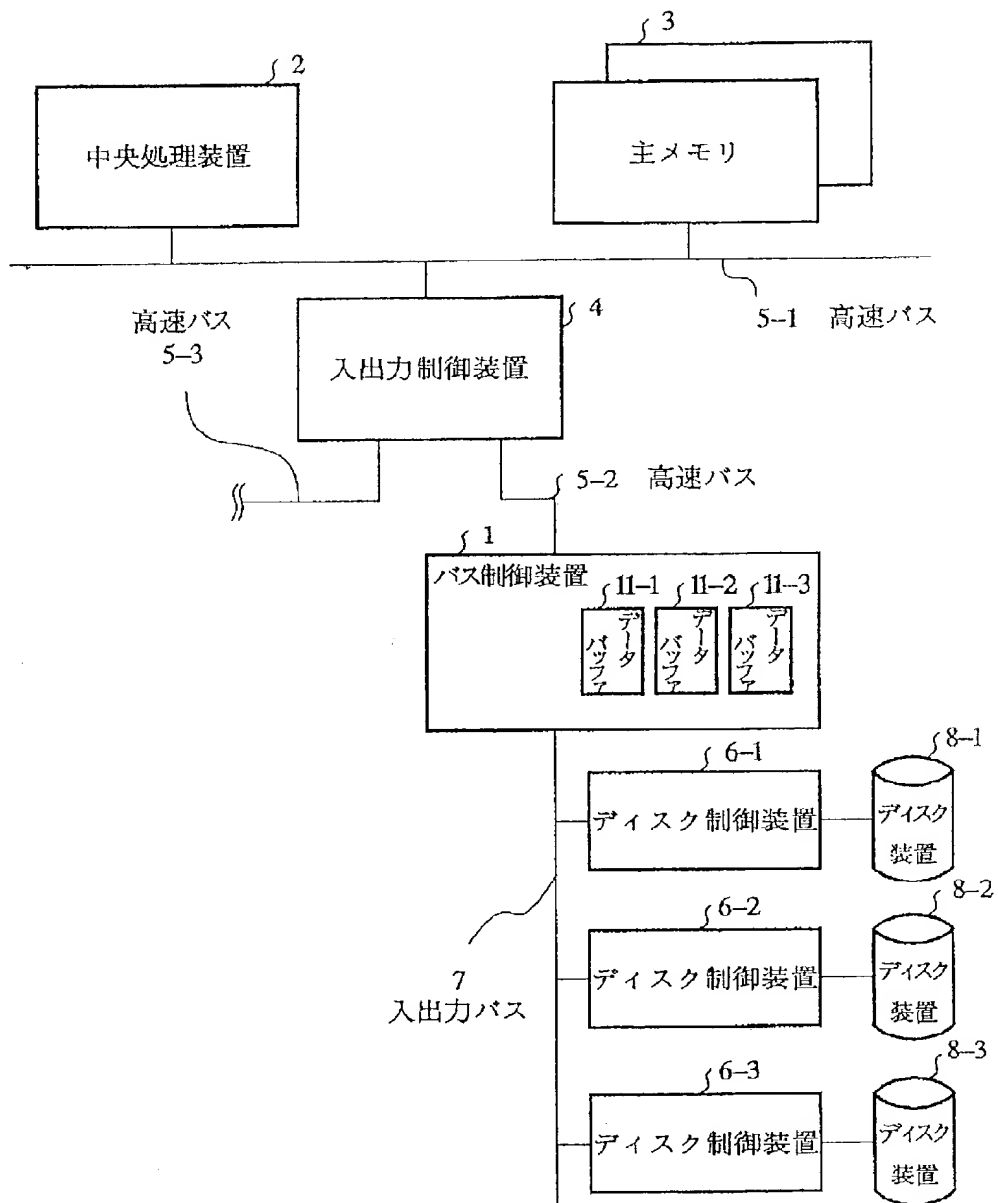
【図1】



【図2】



〔図3〕



【図4】

